

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151524

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 21/336  
G02F 1/1333  
G02F 1/1362  
G02F 1/1368  
G09F 9/30  
H01L 21/20  
H01L 21/265  
H01L 27/08  
H01L 29/786

(21)Application number : 2001-245924

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 14.08.2001

(72)Inventor : ISOBE ATSUO  
TAKAYAMA TORU  
ARAO TATSUYA

(30)Priority

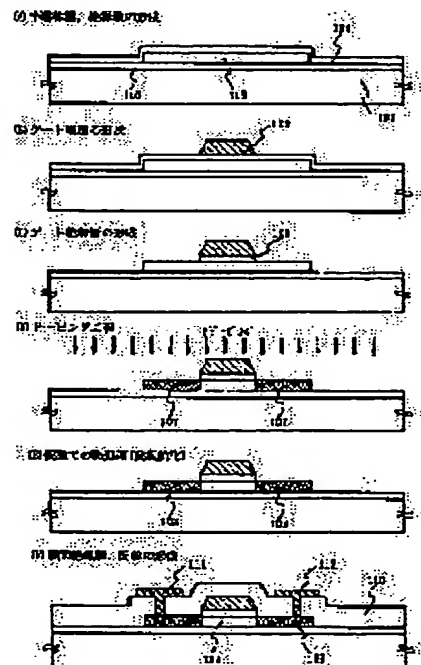
Priority number : 2000246099 Priority date : 14.08.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive semiconductor device by materializing a lower temperature process (350° C or under, preferably, 300° C or under).

SOLUTION: After formation of a semiconductor layer 103 having crystalline structure, n-type impurity elements and hydrogen elements are added at the same time to one part of the semiconductor layer 103 having amorphous property, using an ion doping method, so as to form an impurity region 107 (a region having amorphous structure), and then heat treatment at 100-300° C is performed to form a low-resistance and amorphous impurity region 108, and it is made a source region or a drain region for TFT, being left intact as an amorphous region.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-151524  
(P2002-151524A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
H 0 1 L 21/336		G 0 2 F 1/1333	5 0 0 2 H 0 9 0
G 0 2 F 1/1333	5 0 0	1/1362	2 H 0 9 2
1/1362		1/1368	5 C 0 9 4
1/1368		G 0 9 F 9/30	3 3 8 5 F 0 4 8
G 0 9 F 9/30	3 3 8	H 0 1 L 21/20	5 F 0 5 2

審査請求 未請求 請求項の数16 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-245924(P2001-245924)  
(22) 出願日 平成13年8月14日 (2001.8.14)  
(31) 優先権主張番号 特願2000-246099(P2000-246099)  
(32) 優先日 平成12年8月14日 (2000.8.14)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 磯部 教生  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 高山 徹  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内  
(72) 発明者 荒尾 達也  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

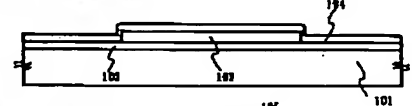
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 さらなる低温プロセス (350℃以下、好ましくは300℃以下) を実現し、安価な半導体装置を提供する。

【解決手段】 本発明は、結晶構造を有する半導体層103を形成した後、イオンドーピング法を用いて結晶質を有する半導体層103の一部にn型不純物元素及び水素元素を同時に添加して不純物領域107 (非晶質構造を有する領域) を形成した後、100~300℃の加熱処理を行うことにより、低抵抗、且つ非晶質な不純物領域108を形成し、非晶質な領域のままでTFTのソース領域またはドレイン領域とする。

(A) 平層形成、絶縁膜の形成



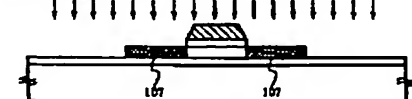
(B) ゲート電極の形成



(C) ゲート絶縁層の形成



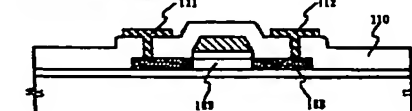
(D) ドーピング工程



(E) 低温での熱処理 (非晶質化)



(F) 層間絶縁膜、配線の形成



# 【特許請求の範囲】

【請求項1】絶縁表面上のTFTを含む半導体装置において、

前記TFTのチャネル形成領域は、結晶構造であり、且つ、前記TFTのソース領域またはドレイン領域は、主に非晶質構造であることを特徴とする半導体装置。

【請求項2】絶縁表面上のTFTを含む半導体装置において、

前記TFTのチャネル形成領域は、結晶構造を有し、且つ、前記TFTのソース領域またはドレイン領域の少なくとも上層部分は、非晶質構造を有していることを特徴とする半導体装置。

【請求項3】同一の絶縁表面上に画素部及び駆動回路を含む半導体装置において、

前記画素部及び前記駆動回路はnチャネル型TFTで形成され、前記nチャネル型TFTのチャネル形成領域は、主に結晶質であり、且つ、前記nチャネル型TFTのソース領域またはドレイン領域は、主に非晶質であることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記絶縁表面は、プラスチック基板上に設けられた絶縁膜表面であることを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記TFTの半導体層は、スパッタ法、PCVD法、LP-CVD法、真空蒸着法、または光CVD法により形成されたことを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかに記載された半導体装置とは、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項7】絶縁表面上に結晶構造を有する半導体層を形成する工程と、前記結晶構造を有する半導体層上に絶縁層を形成する工程と、前記絶縁層上に導電層を形成する工程と、イオンドーピング法により前記結晶構造を有する半導体層の一部にn型を付与する不純物元素及び水素を同時に添加して非晶質領域を形成する工程と、熱処理を行って前記非晶質領域の抵抗値を低減させ、前記非晶質領域をソース領域またはドレイン領域とする工程と、を有することを特徴とする半導体装置の作製方法。

【請求項8】請求項7において、前記導電層はゲート電極であり、前記n型を付与する不純物元素及び水素を添加する際、前記導電層をマスクとして前記半導体層の上層部分に添加することを特徴とする半導体装置の作製方法。

【請求項9】絶縁表面上に導電層を形成する工程と、導電層上に絶縁層を形成する工程と、前記絶縁層上に結晶構造を有する半導体層を形成する工程と、イオンドーピング法により前記結晶構造を有する半導体層の一部にn型を付与する不純物元素及び水素を添加して非晶質

領域を形成する工程と、熱処理を行って前記非晶質領域の抵抗値を低減させ、前記非晶質領域をソース領域またはドレイン領域とする工程と、を有することを特徴とする半導体装置の作製方法。

【請求項10】請求項7乃至9のいずれかにおいて、前記熱処理は、100～300℃の加熱処理であることを特徴とする半導体装置の作製方法。

【請求項11】請求項7乃至10のいずれかにおいて、前記熱処理は、水素雰囲気中100～300℃の加熱処理であることを特徴とする半導体装置の作製方法。

【請求項12】請求項7乃至9のいずれかにおいて、前記熱処理は、100～300℃の水素プラズマ処理であることを特徴とする半導体装置の作製方法。

【請求項13】請求項7乃至11のいずれかにおいて、前記結晶構造を有する半導体層は、スパッタ法により成膜した後、結晶化させることを特徴とする半導体装置の作製方法。

【請求項14】請求項7乃至13のいずれかにおいて、前記絶縁表面は、プラスチック基板上に設けられた絶縁膜表面であることを特徴とする半導体装置の作製方法。

【請求項15】請求項7乃至14のいずれかにおいて、前記n型を付与する不純物元素及び水素を添加する工程以降の製造プロセス温度が350℃以下であることを特徴とする半導体装置の作製方法。

【請求項16】請求項7乃至15のいずれかにおいて、前記n型を付与する不純物元素及び水素を添加する工程以降の製造プロセスで前記非晶質領域を再結晶化させないことを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、発光装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置（液晶表示装置やEL表示装置）のスイッチング素子として開発が急がれている。

【0004】スイッチング素子として用いられているTFTにおいては、半導体層としてアモルファスシリコン

膜やポリシリコン膜が用いられており、ガラス基板を用いる場合、TFTの作製プロセスにおける処理温度は400℃～600℃程度であった。なお、ポリシリコン膜は、レーザー結晶化、または固相結晶化(600～1000℃)により形成している。

【0005】現在、ガラス基板や石英基板が多く使用されているが、割れやすく、重いという欠点がある。また、大量生産を行う上で、ガラス基板や石英基板は大型化が困難であり、不向きである。そのため、可撓性を有する基板、代表的にはフレキシブルなプラスチックフィルムの上にTFT素子を形成することが試みられている。

【0006】また、TFTの作製プロセスにおいて、ソース領域及びドレイン領域を形成するため、不純物元素のドーピングは必要不可欠であり、極めて重要な位置を占めている。代表的な不純物元素のドーピング法としては、イオン注入法やイオンドーピング法が挙げられる。

【0007】これらの不純物元素のドーピング法によって、半導体層にn型を付与する不純物元素を添加した後は、活性化させるための熱処理、またはレーザー等の強光照射処理が必須となっていた。

【0008】一般的に不純物元素の活性化には1000℃近い高温での熱処理が必要であると言われているが、ガラス基板を用いる場合は基板の歪み点以上の熱処理を行うことができないため、長時間での熱処理(500～600℃)が必要となり、スループットが悪化していた。ガラス基板を用いる場合、熱処理で活性化するTFTの作製プロセスにおいては、この処理温度(500℃～600℃)がプロセス温度の最高温度となっていた。

【0009】また、プラスチック基板を用いる場合、さらに耐熱性が低い場合プロセスの最高温度を低くせざるを得ず、結果的にガラス基板上に形成する時ほど良好な電気特性のTFTを形成できないのが現状である。そのため、プラスチックフィルムを用いた高性能な液晶表示装置や発光素子は実現されていない。

【0010】特に、イオンドーピング法を用いた場合、n型を付与する不純物元素を添加する際、結晶質半導体層のドーピングされた領域は不純物元素により損傷を受けて非晶質な領域となって、高抵抗化していた。そのため従来では、500℃～600℃の熱処理やレーザーの照射処理によって、ソース領域及びドレイン領域の結晶性を回復させて低抵抗化していた。

【0011】また、イオン質量分離を利用したイオン注入法を用いた場合、不純物濃度や注入深さを正確に制御できるが、イオン注入装置のイオンビーム幅は微小であるため、大型基板を用いた大量生産には不向きであった。

【0012】また、活性化としてレーザー光を用いた場合は、低温での活性化処理が可能となるが、制御性が悪く、基板1枚毎に行う必要があるためスループットも悪

い。また、ドーピングされた基板にレーザー処理を行うとチャンバー汚染が生じる恐れがあり、活性化するために専用のレーザー装置、あるいは装置の改造が別途必要となるため、設備コスト増大に繋がってしまう問題が生じる。

【0013】

【発明が解決しようとする課題】上記従来技術によるTFTの作製工程において、基板を400℃以上に加熱しなければならないため、基板としてガラス基板を用いた場合には問題とならないが、プラスチック基板のような低耐熱性基板を用いた場合は、その加熱温度に耐えられないという問題が生じていた。

【0014】本発明は、さらなる低温プロセス(300℃以下、好ましくは250℃以下)を実現し、素子形成基板として低耐熱性のプラスチック基板を用いることを可能とするとともに、工程簡略化とスループットの向上を実現することを課題とする。

【0015】

【課題を解決するための手段】従来、ドーピングの際に形成されるソース領域及びドレイン領域の非晶質部分を数時間の高温熱処理(500～600℃)、またはレーザー処理によって結晶性を回復させなければ低抵抗化させるのは困難であった。本発明は、このような高温の熱処理やレーザー光の照射を行うことなく、ソース領域またはドレイン領域を低抵抗化させることができるものである。

【0016】本発明は、イオンドーピング法を用いて結晶構造を有する半導体層(結晶質半導体層)にn型不純物元素及び水素元素を低加速電圧で添加した後、100～300℃、好ましくは150～250℃の熱処理を行うことにより、低抵抗なソース領域およびドレイン領域を形成することを特徴としている。即ち、本発明は、短時間、且つ、低温で低抵抗なソース領域およびドレイン領域を形成することができる。

【0017】本発明において、イオンドーピングの際、n型を付与する不純物元素と同時に添加される水素をソース領域及びドレイン領域に高濃度で存在させることが重要であり、イオンドーピング後に100～300℃、好ましくは150～250℃の熱処理を行って水素拡散させることによってソース領域またはドレイン領域の低抵抗化を可能とした。なお、イオンドーピング直後、ソース領域及びドレイン領域に含まれる水素濃度は、 $1 \times 10^{19} \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは、 $1 \times 10^{21} \sim 1 \times 10^{22} / \text{cm}^3$ 以上とする。

【0018】また、本発明において、イオンドーピング以降の工程での熱処理は400℃以下、好ましくは350℃以下とすることが重要である。なぜなら、400℃程度の熱処理を行うと半導体膜中から水素が脱離して抜けてしまうからである。即ち、イオンドーピング以降の工程では、膜中から水素が脱離する熱処理やレーザー光

の照射を行わないことを特徴としている。

【0019】また、本発明において、ソース領域及びドレイン領域は、イオンドーピングにより非晶質化されるが、完全に非晶質化されないようなドーピング条件とすることが好ましい。例えば、低加速電圧10kV以下でドーピングすることによって、ソース領域及びドレイン領域における上層部分は損傷をうけて非晶質となる一方、下層部分には結晶質な構造がある程度残るようにする。即ち、上層部分に向かって不純物元素が高濃度に添加されるようにするとともに、下層部分に向かって不純物元素が低濃度に添加されるようにドーピング条件を適宜調節する。また、非晶質となった上層部分には不純物元素が多く添加され、不純物元素と同時にドーピングされる水素元素も多く添加されると推測できる。即ち、本発明において、水素と不純物元素とを同時にドーピングすることが望ましい。水素だけをドーピングした場合には、質量数やイオン半径が小さいので膜厚の薄い半導体膜を突き抜けてしまい、上層部分のみに添加することは非常に困難である。

【0020】また、本発明の熱処理(100~300℃)以降に高温の熱処理を行わなければ、不純物元素がドーピングされて非晶質となった領域(非晶質領域とも呼ぶ)は、TFTの作製完了時において、そのままの状態である。即ち、本発明においては、TFTの作製完了時において、不純物元素がドーピングされないチャンネル形成領域は主に結晶構造を有し、ソース領域及びドレイン領域は主に非晶質を有している。従来ではソース領域及びドレイン領域を非晶質のままの状態とすることはなく、熱処理やレーザー光などによって再結晶化させていた。

【0021】本明細書で開示する発明の構成は、絶縁表面上のTFTを含む半導体装置において、前記TFTのチャンネル形成領域は、結晶構造であり、且つ、前記TFTのソース領域またはドレイン領域は、主に非晶質構造であることを特徴とする半導体装置である。望ましくは、前記TFTのチャンネル形成領域は、主に結晶質であり、且つ、前記TFTのソース領域またはドレイン領域は、主に非晶質であることを特徴とする半導体装置である。ここで「主に」とは50%以上を指している。少なくとも、前記TFTのチャンネル形成領域は、結晶構造を有し、且つ、前記TFTのソース領域またはドレイン領域の少なくとも上層部分は、非晶質構造を有している。

【0022】また、本発明により300℃以下、好ましくは250℃以下でソース領域及びドレイン領域の低抵抗化を行うことが可能となり、すべてのTFT作製工程を完了できるため、素子形成基板として薄型、軽量で耐衝撃性に優れたプラスチック基板を用いることが可能となる。従来、プラスチック基板は耐熱性の面で限界があるため、プラスチック基板上に特性の優れたTFTを作製することは非常に困難であった。

【0023】また、本発明は、不純物元素のドーピング後に100~300℃、好ましくは150~250℃の熱処理を行えばよく、工程順序は特に限定されない。

【0024】また、上記熱処理に代えて水素化処理(水素プラズマ処理、あるいは水素雰囲気での熱処理等)を100~300℃、好ましくは150~250℃で行えば、さらに高濃度の水素を膜中に含有させることができ、相乗効果を得ることができる。この場合、熱処理工程が削減でき、スループットが向上する。また、水素化処理以外のTFT作製工程、例えば、成膜処理を100~300℃で行っても同様の効果(ソース領域及びドレイン領域の低抵抗化)を得ることができる。

【0025】また、同一基板上における全ての回路、即ち駆動回路と画素TFTをNチャネル型TFTのみで作製すればマスク数の低減となり、歩留まりも向上する。

【0026】また、本明細書で開示する他の発明の構成は、同一の絶縁表面上に画素部及び駆動回路を含む半導体装置において、前記画素部及び前記駆動回路はnチャネル型TFTで形成することを特徴とする半導体装置である。前記nチャネル型TFTのチャンネル形成領域は、主に結晶質であり、且つ、前記nチャネル型TFTのソース領域またはドレイン領域は、主に非晶質であることを特徴としている。

【0027】また、上記構成において、前記絶縁表面は、プラスチック基板上に設けられた絶縁膜表面であることを特徴としている。

【0028】また、上記構成において、上記半導体層の成膜方法としては、スパッタ法、PCVD法、LPCVD法、真空蒸着法、光CVD法等を用いることが可能であるが、なかでも低温、短時間で成膜可能なスパッタ法が好ましい。

【0029】また、TFTの構造は特に限定されず、トップゲート型TFTであってもボトムゲート型TFTであってもよい。

【0030】また、上記構成を実現するための発明の構成は、絶縁表面上に結晶構造を有する半導体層を形成する第1の工程と、前記結晶構造を有する半導体層上に絶縁層を形成する第2の工程と、前記絶縁層上に導電層を形成する第3の工程と、イオンドーピング法により前記結晶構造を有する半導体層の一部にn型を付与する不純物元素及び水素を同時に添加して非晶質領域を形成する第4の工程と、熱処理を行って前記非晶質領域の抵抗値を低減させ、前記非晶質領域をソース領域またはドレイン領域とする第5の工程と、を有することを特徴とする半導体装置の作製方法である。なお、これらの工程によりトップゲート型TFTが形成される。

【0031】上記構成において、前記導電層はゲート電極であり、前記n型を付与する不純物元素及び水素を添加する際、前記導電層をマスクとして前記半導体層の上層部分に添加することを特徴としている。

【0032】また、本発明の他の発明の構成は、絶縁表面上に導電層を形成する第1の工程と、導電層上に絶縁層を形成する第2の工程と、前記絶縁層上に結晶構造を有する半導体層を形成する第3の工程と、イオンドーピング法により前記結晶構造を有する半導体層の一部にn型を付与する不純物元素及び水素を添加添加して非晶質領域を形成する第4の工程と、熱処理を行って前記非晶質領域の抵抗値を低減させ、前記非晶質領域をソース領域またはドレイン領域とする第5の工程と、を有することを特徴とする半導体装置の作製方法である。なお、これらの工程によりボトムゲート型TFTが形成される。

【0033】上記各構成において、前記熱処理は、100～300℃の熱処理で行い、非晶質領域を低抵抗化させてソース領域及びドレイン領域とする。また、前記熱処理は、水素雰囲気での熱処理であってもよい。

【0034】あるいは、上記構成において、前記熱処理は、100～300℃の水素プラズマ処理で行ってソース領域及びドレイン領域を低抵抗化させてもよい。

【0035】また、上記各構成において、前記絶縁表面は、プラスチック基板上に設けられた絶縁膜表面である。

【0036】また、上記各構成において、n型を付与する不純物元素及び水素を添加する工程以降の製造プロセス温度が350℃以下、好ましくは300℃以下であることを特徴としている。

【0037】また、上記各構成において、n型を付与する不純物元素及び水素を添加する工程以降の製造プロセスで前記非晶質領域を再結晶化させないことを特徴としている。

【0038】また、本発明は、低温での熱処理でソース領域及びドレイン領域の電気抵抗値を低減するものであるため、非常にプラスチック基板に適したものであるが、ガラス基板や石英基板にも適用することができることは言うまでもない。ガラス基板や石英基板に適用する場合においても、プロセス温度の低下によるコスト低減やスループットの向上といった効果が得られる。

【0039】

【発明の実施の形態】本発明の実施形態について、以下に説明する。本発明のTFT作製方法の一例を図1に示す。

【0040】まず、基板101上に下地絶縁膜102を形成する。基板101はプラスチック基板を用い、例えば、ポリイミド、アクリル、PET（ポリエチレンテレフタレート）、ポリカーボネイト（PC）、ポリアリレート（PAR）、PEEK（ポリエーテルエーテルケトン）、PES（ポリエーテルスルホン）、PEN（ポリエーテルニトリル）、ナイロン、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリブチレンテレフタレート（PBT）等からなるプラスチック基板を用いることができる。ここでは350℃の熱処理に十分

耐え得るポリイミドからなる基板を用いた例を示す。

【0041】下地絶縁膜102はスパッタ法を用いて成膜する。プラズマCVD法を用いる場合は基板温度を室温～300℃として成膜すればよい。

【0042】次いで、下地絶縁膜102上に非晶質半導体膜を公知の技術（スパッタ法、PCVD法、LPCVD法、真空蒸着法、光CVD法等）により形成する。次いで、非晶質半導体膜を公知の技術により結晶化させ、結晶質半導体膜を形成する。ただし、プラスチック基板を用いた場合、400℃を越える熱処理には耐えられないので、レーザー光の照射により結晶化させることが好ましい。なお、レーザー光の照射により結晶化させる場合には、照射する前に非晶質半導体膜の含有水素量を5atom%以下とする必要があるため、成膜直後の段階で水素濃度が低い成膜方法、あるいは成膜条件とすることが好ましい。

【0043】レーザー光としては、エキシマレーザー等の気体レーザーや、YVO<sub>4</sub>レーザーやYAGレーザーなどの固体レーザーや、半導体レーザーを用いればよい。また、レーザー発振の形態は、連続発振、パルス発振のいずれでもよく、レーザービームの形状も線状、矩形状、円状、楕円状のいずれでもよい。また、使用する波長は、基本波、第2高調波、第3高調波のいずれでもよい。また、走査方法は、縦方向、横方向、斜め方向のいずれでもよく、さらに往復させてもよい。

【0044】次いで、結晶質半導体膜をパターンニングしてTFTの活性層となる半導体層103を形成する。次いで、半導体層103を覆うゲート絶縁膜104を形成する。（図1（A））ゲート絶縁膜104は、スパッタ法あるいはプラズマCVD法を用いて成膜する。

【0045】次いで、ゲート絶縁膜上にゲート電極105を形成する。（図1（B））ゲート電極105は、スパッタ法で形成した導電膜を所望の形状にパターンニングして形成する。

【0046】次いで、ゲート電極105をマスクとして絶縁膜のエッチングを行い、ゲート絶縁膜106を形成する。（図1（C））

【0047】次いで、イオンドーピング法を用いてn型を付与する不純物元素（リン）を自己整合的にドーピングする。（図1（D））このドーピングでは、リンと同時に水素を添加することが重要であり、リン及び水素が添加された半導体領域の上層部分は非晶質化される。また、この時の加速電圧は1～20kV程度として行う。ただし、半導体層の下層部分にはある程度の結晶質を残すように、ドーピング条件（加速電圧等）を適宜調節することが好ましい。また、リンと比較して多く水素が添加するようにドーピング条件（ドーピング処理室の圧力等）を適宜調節とすることが好ましい。

【0048】なお、本発明において、イオンドーピングを行う前に絶縁膜のエッチングを行って半導体層の一部



を露呈させた後、イオンドーピングを行うほうが、半導体層の下層部分にある程度の結晶質を残すことができるため好ましい。

【0049】次いで、150～300℃の熱処理によりソース領域及びドレイン領域の低抵抗化を行う。(図1(E))この低温での熱処理により水素が拡散して、ソース領域またはドレイン領域となる半導体領域107を低抵抗化させる。ただし、リンが添加された領域は非晶質状態のままである。この熱処理の温度(300℃以下)では、ドーピングにより非晶質化した領域の結晶性は回復しない。

【0050】次いで、層間絶縁膜110を形成し、ソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース領域に電気的に接続するソース配線111、ドレイン領域に電気的に接続するドレイン配線112を形成する。

【0051】次いで、TFT特性を向上させるために水素化処理を行う。この水素化としては、水素雰囲気中での熱処理、あるいは低温でプラズマ水素化を行う。ここでは水素雰囲気中で350℃、1時間の熱処理を行う。

【0052】以上の作製工程により、350℃以下のプロセス温度でプラスチック基板上にトップゲート型のTFTが完成する。(図1(F))なお、水素化処理でプラズマ水素化を低温で行えば、300℃以下のプロセス温度でプラスチック基板上にTFTが完成する。

【0053】こうして得られたTFTのソース領域またはドレイン領域は、非晶質状態であるにも関わらず、そのシート抵抗が非常に低い値を示している。ドーピング直後のシート抵抗は20k $\Omega$ /□以上の値を示すのに対して、低温(250℃～350℃、4時間)での熱処理後のシート抵抗は、10k $\Omega$ /□以下の値を示し、よいものでは5k $\Omega$ /□以下と非常に低い値を示した。

【0054】また、以下のような実験を行った。

【0055】まず、基板上にアモルファスシリコン膜をスパッタ法で成膜してレーザー処理(XeClレーザー、30Hz、1mm/sec)を行い結晶化させたポリシリコン膜にリンをイオンドープ法を用いて添加した。アモルファスシリコン膜のスパッタ条件は基板温度150℃、成膜圧力を0.4Pa、スパッタ電力を3kW、Ar流量を50sccmとした。また、水素で希釈されたフォスフィンガスをを用い、ドーピングのドーズ量はそれぞれ $5 \times 10^{15}/\text{cm}^2$ 、 $1 \times 10^{16}/\text{cm}^2$ 、 $2 \times 10^{16}/\text{cm}^2$ 、 $3 \times 10^{16}/\text{cm}^2$ として条件を振った。

【0056】それぞれのドーズ量でリンが添加されたポリシリコン膜が設けられた基板に150℃、250℃、350℃、450℃、550℃(比較例)とで条件を振った。また、それぞれの温度で4時間の熱処理を行い、その後でそれぞれの電気抵抗値、ここではシート抵抗値を測定した。

【0057】なお、ポリシリコン膜の膜厚が50nmの

測定結果を図7に示し、ポリシリコン膜の膜厚が70nmの測定結果を図8に示し、ポリシリコン膜の膜厚が100nmの測定結果を図9に示した。

【0058】図7の測定結果に示したように、熱処理後で抵抗が大きく低減する。熱処理温度を150℃にした場合で、不純物を添加した半導体領域が急激に低抵抗化している。熱処理前と熱処理後を比較した場合、熱処理後のシート抵抗値は、熱処理前の約半分に低減した。これは、膜中を水素が自由自在に拡散しはじめる温度(水素ガラスの平衡温度(130℃付近))によるものだと考えられる。この水素の拡散はダングリングボンド密度が高いほど、不純物元素濃度(P濃度)が高いほど容易に起こる。

【0059】また、比較するため、従来と同様に550℃の熱処理を行った比較例においても抵抗が低減しているが、抵抗が低減した原因は本発明とは異なっており、550℃という高温熱処理によってドーピングにより非晶質となったドーパ領域の結晶性が回復して再結晶化したためと考えられる。

【0060】図10は、膜厚50nmのポリシリコン膜にリンをドーピングした後でのシリコン膜のラマン散乱スペクトルを示す図である。このドーピングされたシリコン膜はTFTを作製した場合におけるソース領域またはドレイン領域と同一と見なせる。波数500～520/cm<sup>-1</sup>の範囲において、散乱強度に関して極大値を有している。550℃での熱処理により再結晶化されているソース領域またはドレイン領域の極大値に比べて小さく、450℃以下の加熱では、ほとんどが非晶質であることを示している。このことから、TFTを作製した場合、450℃以下の熱処理では、ソース領域及びドレイン領域は再結晶化せず、主に非晶質のままであることが分かる。このように本発明により、ソース領域及びドレイン領域が非晶質であってもシート抵抗値を低くすることができる。

【0061】本明細書で結晶質とは、シリコン膜のラマン散乱スペクトルにおいて、波数500～520/cm<sup>-1</sup>の範囲において非常に強いピークを有した結晶構造を指している。一方、非晶質とは、アモルファス状態であることを指している。

【0062】また、150℃の熱処理において、時間依存性の実験も行ったところ、初期段階(数分)でシート抵抗値は大きく減少することを見出した。この実験結果より本発明の熱処理(100～300℃、好ましくは150～250℃)に必要な時間は数分程度でも十分である。

【0063】また、窒素雰囲気下での熱処理と、水素雰囲気下での熱処理とを比較したところ、水素雰囲気下のほうがシート抵抗値が下がった。350℃、4時間の熱処理を窒素雰囲気下で行ったサンプルのシート抵抗は、4834 $\Omega$ /□の値を示したのに対して、350℃、4



時間の熱処理を水素雰囲気下で行ったサンプルのシート抵抗は、 $3626\Omega/\square$ と非常に低い値を示した。

【0064】また、イオンドーピング法により不純物元素の添加と同時にプロトンを注入して活性化する技術が特開平6-104280号公報に示されているが、イオンドーピング工程と同時に不純物元素及びプロトンが添加された領域は、最終的には結晶化されて多結晶状態となっており、本発明とは異なっている。また、同公報においては、ドーピング直後でシート抵抗値が低いものとなっており、本発明とは異なっている。本発明において、ドーピング直後のシート抵抗値は約 $20k\Omega/\square$ と非常に高い。また、この自己活性化技術は、高いドーパ量及び高い加速電圧によって半導体層が非常に高温となるため、プラスチック基板には不向きである。

【0065】また、ドーピング法により不純物原子の添加と同時にシリサイドを形成し、ソース領域及びドレイン領域を低抵抗化させる技術が特開平8-181302号公報に示されているが、同様に不純物元素が添加された領域は、結晶化されて多結晶状態となっており、本発明とは異なっている。同公報においては、ドーピング直後でシート抵抗値が低いものとなっており、本発明とは異なっている。また、本発明において、ドーピング直後のシート抵抗値は約 $20k\Omega/\square$ と非常に高い。また、シリサイドを形成するため、シリサイドを形成する金属元素が原因となるTFET特性の低下が懸念される。

【0066】また、従来のレーザー活性化とは異なり、本発明の低温(350℃以下)での熱処理は、一度に大量の基板を処理することができるのでスループットが向上する。

【0067】また、本発明は図1の構造に限定されず、必要があればチャネル形成領域とドレイン領域(またはソース領域)との間にLDD領域を有する低濃度ドレイン(LDD:Lightly Doped Drain)構造としてもよい。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。さらにゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD(Gate-drain Overlapped LDD)構造としてもよい。また、これらのLDD領域またはGOLD領域に水素元素を高濃度に含む領域または層を形成してもよい。

【0068】以上の構成でなる本発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0069】

【実施例】[実施例1]本発明では350℃以下の低温プロセスで画素部および駆動回路をすべてnチャネル型TFETで形成することを特徴としている。そこで、本実施例ではプラスチック基板上に画素TFETを形成する作

製工程について以下に説明する。

【0070】まず、有機物からなるプラスチック基板201を用意する。本実施例では、ポリイミドからなる基板201を用いる。このポリイミドからなる基板の耐熱温度は約399℃であり、基板自体の色は透明ではなく、褐色である。次いで、基板201上に下地絶縁膜202を形成する。この下地絶縁膜はプロセス温度が300℃を越えない成膜方法であれば特に限定されず、ここではスパッタ法を用いて形成した。

【0071】次いで、非晶質半導体膜を形成し、レーザー照射により結晶化させて結晶質半導体膜を形成する。非晶質半導体膜はプロセス温度が300℃を越えない成膜方法であれば特に限定されず、ここではスパッタ法を用いて形成した。次いで、結晶質半導体膜を所望の形状にパターニングして半導体層203を形成する。次いで、半導体層203を覆うゲート絶縁膜204を形成する。ゲート絶縁膜はプロセス温度が300℃を越えない成膜方法であれば特に限定されず、ここではスパッタ法を用いて形成した。(図2(A))

【0072】次いで、ゲート電極205を形成する。

(図2(B))ゲート電極205としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。

【0073】次いで、ゲート電極をマスクとしてゲート絶縁膜を自己整合的にエッチングしてゲート絶縁膜206を形成するとともに、半導体層の一部を露呈させてから半導体層の一部にn型を付与する不純物元素、ここではリンを添加(ドーピング)して不純物領域207を形成する。(図2(C))

【0074】本実施例ではゲート絶縁膜のエッチングを行った後にドーピングを行ったが、ゲート電極を形成した後、ゲート絶縁膜を通過させてドーピングを行ってもよい。この場合、不純物元素はゲート絶縁膜を通過し、ゲート電極をマスクとして自己整合的にドーピングされる。

【0075】次いで、150℃~350℃、少なくとも2分、マージンを考えると10分以上の熱処理を行って、半導体層に含まれる水素の作用によりシート抵抗の低い不純物領域208を形成する。(図2(D))

【0076】次いで、層間絶縁膜210を形成し、ソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース領域に電気的に接続するソース配線211、ドレイン領域に電気的に接続する画素電極212を形成する。

【0077】次いで、TFET特性を向上させるために水素化処理を行う。この水素化としては、水素雰囲気中で

の熱処理（350℃、1時間）、あるいは低温でプラズマ水素化を行う。

【0078】以上の作製工程により、400℃以下のプロセス温度でプラスチック基板上にトップゲート型のTFTが完成する。（図2（E））本実施例に従って完成したTFTのソース領域及びドレイン領域は、主に非晶質であるのにシート抵抗値が約5kΩと非常に低い値となった。なお、必要があれば無機絶縁膜からなるパッシベーション膜を形成してもよい。

【0079】本実施例に従って完成したTFT（シングルゲート構造）の電気的特性は、良好な値を示した。図18にそのTFT特性（V-I特性）を示す。また、V-I特性グラフにおける立ち上がり点での電圧値を示すしきい値（V<sub>th</sub>）は、2.33Vとなっている。また、S値は0.357（V/dec）、移動度（μ<sub>FE</sub>）は128.8（cm<sup>2</sup>/Vs）と優れたものとなっている。

【0080】TFTを完成させた後、配向膜216a形成、ラビング処理、配向膜216bと対向電極215を備えた対向基板214の貼り合わせ、液晶213注入等の工程を経て反射型液晶表示装置が完成する。

【0081】ここでは、画素電極212として、反射性を有する金属材料、例えばAl、Ag等を主成分とする材料を用いた。なお、本実施例では反射型の液晶表示装置の例を示したが、画素電極として透明導電膜、例えばITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（In<sub>2</sub>O<sub>3</sub>-ZnO）、酸化亜鉛（ZnO）等を用いれば透過型液晶表示装置を形成することができる。

【0082】本実施例で示すNチャネル型TFTを用いてNAND回路、NOR回路のような基本論理回路を構成したり、さらに複雑なロジック回路（信号分割回路、オペアンプ、γ補正回路など）をも構成することができる。

【0083】なお、本実施例に示すTFTは、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【0084】また、Nチャネル型TFTを組み合わせるとNMOS回路を形成する場合、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型とデプレッション型とを組み合わせ形成する場合（以下、EDMOS回路という）がある。これらの回路を組み合わせ、液晶表示装置の駆動回路を全てNチャネル型TFTで構成することも可能である。

【0085】〔実施例2〕本実施例では、水素化での熱処理の際、同時に不純物領域の低抵抗化を行う例を図3

に示す。なお、ドーピング工程までは実施例1と同一であるため、詳細な説明は省略する。

【0086】まず、実施例1に従って、基板301上に下地絶縁膜302、半導体層303、ゲート絶縁膜304を形成する。（図3（A））次いで、実施例1と同様に、ゲート電極305を形成する。（図3（B））。次いで、実施例1と同様に、エッチングしてゲート絶縁膜306を形成する。（図3（C））。

【0087】次いで、実施例1と同様に、ゲート電極305をマスクとして自己整合的に不純物元素を添加して不純物領域を形成する。（図3（D））

【0088】次いで、熱処理を行わずに層間絶縁膜310を形成し、ソース領域またはドレイン領域に達するコンタクトホールを形成した後、ソース領域に電気的に接続するソース配線311、ドレイン領域に電気的に接続するドレイン電極312を形成する。

【0089】次いで、TFT特性を向上させるために水素化処理を行う。この水素化としては、水素雰囲気中での熱処理（350℃、1～4時間）を行う。この水素化と同時にソース領域及びドレイン領域の低抵抗化も行われる。本実施例（水素雰囲気中で350℃、4時間の熱処理）に従って完成したTFTのソース領域及びドレイン領域は、主に非晶質であるのにシート抵抗値が約3.6kΩと非常に低い値となった。

【0090】こうして、低温での熱処理でソース領域及びドレイン領域の低抵抗化が可能であることから、活性化のためだけに行われていた熱処理工程を省略し、水素化と同時にソース領域及びドレイン領域の低抵抗化させることができた。

【0091】なお、本実施例では水素化と同時にソース領域及びドレイン領域の低抵抗化を行った例を示したが、特に限定されず、ドーピング工程以降の工程のうち、100～300℃、好ましくは150～250℃の熱処理が加えられる工程（例えば、層間絶縁膜の成膜、パッシベーション膜の成膜等）と同時に行うことが可能である。

【0092】〔実施例3〕実施例1では、TFTとしてトップゲート構造のTFT（具体的にはプレーナ型TFT）を例示したが、本発明はTFT構造に限定されるものではなく、ボトムゲート構造のTFTにも実施できる。

【0093】本実施例では、代表的には逆スタガTFTに実施する例を図4に示す。

【0094】まず、有機物からなるプラスチック基板400を用意する。なお、基板からの不純物の拡散を防止してTFTの電気特性を向上させるための下地絶縁膜401を設ける。その下地絶縁膜の材料としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（SiO<sub>x</sub>N<sub>y</sub>）、またはこれらの積層膜等を100～500nmの膜厚範囲で用いることができ、形成手段としては

熱CVD法、プラズマCVD法、蒸着法、スパッタ法、減圧熱CVD法等の形成方法を用いることができる。

【0095】次いで、単層構造または積層構造を有するゲート配線（ゲート電極含む）402を形成する。ゲート配線402の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等を用いて10～1000nm、好ましくは30～300nmの膜厚範囲の導電膜を形成した後、公知のパターニング技術で形成する。また、ゲート配線402の材料としては、導電性材料または半導体材料を主成分とする材料、例えばTa（タンタル）、Mo（モリブデン）、Ti（チタン）、W（タングステン）、クロム（Cr）等の高融点金属材料、これら金属材料とシリコンとの化合物であるシリサイド、N型又はP型の導電性を有するポリシリコン等の材料、低抵抗金属材料Cu（銅）、Al（アルミニウム）等を主成分とする材料層を少なくとも一層有する構造であれば特に限定されることなく用いることができる。

【0096】次いで、ゲート絶縁膜を形成する。ゲート絶縁膜としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（SiOxNy）、有機樹脂膜（BCB（ベンゾシクロブテン）膜）、またはこれらの積層膜等を100～400nmの膜厚範囲で用いることができる。下地膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法、塗布法等の形成方法を用いることができる。ここでは図4（A）に示すように、積層構造のゲート絶縁膜403a、403bを用いた。下層のゲート絶縁膜403aは、基板やゲート配線からの不純物の拡散を効果的に防止する窒化シリコン膜等を膜厚10nm～60nmの膜厚範囲で形成する。

【0097】次いで、非晶質半導体膜を成膜する。非晶質半導体膜404としては、シリコンを主成分とする非晶質シリコン膜を20～100nm、より好ましくは20～60nmの膜厚範囲で用いることができる。非晶質半導体膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、蒸着法、スパッタ法等の形成方法を用いることができる。

【0098】なお、上記ゲート絶縁膜403a、403bと非晶質半導体膜とを大気にさらすことなく連続成膜すれば、不純物がゲート絶縁膜と非晶質半導体膜との界面に混入しないため良好な界面特性を得ることができる。

【0099】次いで、非晶質半導体膜の結晶化処理を行い、結晶質半導体膜を形成した後、得られた結晶質半導体膜を所望の形状にパターニングする。（図4（A））なお、半導体膜のパターニングを行う工程順序は特に限定されず、例えば不純物元素の添加後に行ってもよい。結晶化処理としては、レーザー光の照射による結晶化方法を用いればよい。また、この結晶化処理の直前に非晶

質半導体膜表面の自然酸化膜をバッファーフッ酸等のフッ酸系のエッチャントで除去すると、表面付近のシリコンの結合手が水素終端されて不純物と結合しにくくなり、良好な結晶質半導体膜を形成することができるため好ましい。

【0100】次いで、結晶質半導体層404上に絶縁層405を形成する。この絶縁層405は不純物元素の添加工程時にチャネル形成領域を保護する。この絶縁層405としては、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜（SiOxNy）、有機樹脂膜（BCB膜）、またはこれらの積層膜等を100～400nmの膜厚範囲で用いることができる。絶縁層405は、公知のパターニング技術、例えば通常の露光や裏面露光等を用いて形成する。（図4（B））

【0101】次いで、絶縁層405をマスクに用いて、結晶質半導体膜にn型を付与する不純物元素を添加するドーピング工程を行ない、不純物領域406を形成する。（図4（C））半導体材料に対してn型を付与する不純物元素としては、15族に属する不純物元素、例えばP、As、Sb、N、Bi等を用いることができる。この工程では、プラスマドーピング法によりドーピング条件（ドーズ量、加速電圧等）を適宜設定して表面が露出している結晶質半導体膜にP（リン）を添加する。他のドーピング方法としてイオン注入法を用いることもできる。また、この不純物領域406は高濃度不純物領域であり、後のソース／ドレイン領域となる。

【0102】次いで、熱処理（150～350℃、1時間以上）を行って、半導体層に含まれる水素の作用によりシート抵抗の低い不純物領域407を形成する。本実施例に従って完成したTFTのソース領域及びドレイン領域は、主に非晶質であるのにシート抵抗値が約5kΩと非常に低い値となった。

【0103】次いで、全面に層間絶縁膜408を形成する。層間絶縁膜408としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機性樹脂膜（ポリイミド膜、BCB膜等）のいずれか或いはそれらの積層膜を用いることができる。

【0104】次いで、公知の技術を用いてコンタクトホールを形成した後、配線409、410を形成して、図4（F）に示す状態を得る。この配線409、410はソース配線またはドレイン配線として機能する。最後に水素雰囲気中で熱処理を行い、全体を水素化してNチャネル型TFTが完成する。

【0105】また、上記本実施例においては、活性層のパターニングを絶縁層405の形成前に行う例を示したが、特に限定されず、例えば結晶化工程前、またはドーピング前、または熱処理の後に行ってもよい。

【0106】また、上記本実施例においてチャネル形成領域へ微量な不純物元素の添加を行ない、TFTのしきい値制御を行う工程（チャネルドーピング工程とも呼

ぶ)を加えてもよい。

【0107】また、本実施例は実施例2と組み合わせることができる。

【0108】[実施例4] 実施例1乃至3のいずれかにより得られるアクティブマトリクス基板を用いて液晶表示パネルを作製する例を以下に示す。

【0109】図5に示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子、外部入力端子と各回路の入力部までを接続する配線81などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板82とがシール材83を介して貼り合わされている。

【0110】ゲート側駆動回路84と重なるように対向基板側に遮光層86aが設けられ、ソース側駆動回路85と重なるように対向基板側に遮光層86bが形成されている。また、画素部87上の対向基板側に設けられたカラーフィルタ88は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色(R)の着色層、緑色(G)の着色層、青色(B)の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0111】ここでは、カラー化を図るためにカラーフィルタ88を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0112】また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層86a、86bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

【0113】また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所(各画素電極の間隙)や、駆動回路を遮光してもよい。

【0114】また、外部入力端子にはベースフィルムと配線から成るFPC89が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

【0115】以上のようにして作製される液晶表示装置は各種電子機器の表示部として用いることができる。

【0116】また、上記液晶表示装置におけるブロック図を図6に示す。なお、図6はアナログ駆動を行うための回路構成である。本実施例では、ソース側駆動回路90、画素部91及びゲート側駆動回路92を有してい

る。なお、本明細書中において、駆動回路とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0117】ソース側駆動回路90は、シフトレジスタ90a、バッファ90b、サンプリング回路(トランスファゲート)90cを設けている。また、ゲート側駆動回路92は、シフトレジスタ92a、レベルシフタ92b、バッファ92cを設けている。なお、シフトレジスタ90a、92aとしては図16に示したシフトレジスタを用いれば良い。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けてもよい。

【0118】また、本実施例において、画素部91は複数の画素を含み、その複数の画素に各々TFT素子が設けられている。

【0119】これらソース側駆動回路90およびゲート側駆動回路92は全てNチャネル型TFTで形成され、全ての回路は図15(A)に示したEEMOS回路を基本単位として形成されている。ただし、従来のCMOS回路に比べると消費電力は若干上がってしまう。

【0120】なお、図示していないが、画素部91を挟んでゲート側駆動回路92の反対側にさらにゲート側駆動回路を設けても良い。

【0121】また、本実施例は実施例1乃至3のいずれかと自由に組み合わせることができる。

【0122】[実施例5] 本実施例では画素構造を図11に示し、断面構造を図12に示す。それぞれ、A-A'断面図、B-B'断面図を示した。

【0123】本実施例では保持容量は、第2の半導体層1002上の絶縁膜を誘電体として、第2の半導体層1002と、容量電極1005とで形成している。なお、容量電極1005は、容量配線1009と接続されている。また、容量電極1005は、第1の電極1004及びソース配線1006と同じ絶縁膜上に同時に形成される。また、容量配線は、画素電極1011、接続電極1010、ゲート配線1007と同じ絶縁膜上に同時に形成される。

【0124】また、本実施例では、不純物領域1012~1014にはn型を付与する不純物元素が添加されている。なお、1012はソース領域、1013はドレイン領域である。

【0125】また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極及び容量配線を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、n型の不純物元素を添加し、低温での熱処理を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホール形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線、容量配線を形成する。こうす

ることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。また、容量配線に重なる半導体層にn型の不純物元素を添加して保持容量の増加を図ることができる。

【0126】なお、本実施例は実施例1乃至4のいずれかと自由に組み合わせることができる。

【0127】〔実施例6〕実施例1に示すnチャネル型TFTは、チャネル形成領域となる半導体に周期表の15族に属する元素（好ましくはリン）もしくは周期表の13族に属する元素（好ましくはボロン）を添加することによりエンハンスメント型とデプレッション型とを作り分けることができる。

【0128】また、nチャネル型TFTを組み合わせるとNMOS回路を形成する場合、エンハンスメント型TFT同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型とデプレッション型とを組み合わせ形成する場合（以下、EDMOS回路という）がある。

【0129】ここでEEMOS回路の例を図13（A）に、EDMOS回路の例を図13（B）に示す。図13（A）において、31、32はどちらもエンハンスメント型のnチャネル型TFT（以下、E型NTFTという）である。また、図13（B）において、33はE型NTFT、34はデプレッション型のnチャネル型TFT（以下、D型NTFTという）である。

【0130】なお、図13（A）、（B）において、V<sub>DH</sub>は正の電圧が印加される電源線（正電源線）であり、V<sub>DL</sub>は負の電圧が印加される電源線（負電源線）である。負電源線は接地電位の電源線（接地電源線）としても良い。

【0131】さらに、図13（A）に示したEEMOS回路もしくは図13（B）に示したEDMOS回路を用いてシフトレジスタを作製した例を図14に示す。図14において、40、41はフリップフロップ回路である。また、42、43はE型NTFTであり、E型NTFT42のゲートにはクロック信号（CL）が入力され、E型NTFT43のゲートには極性の反転したクロック信号（CLバー）が入力される。また、44で示される記号はインバータ回路であり、図14（B）に示すように、図13（A）に示したEEMOS回路もしくは図13（B）に示したEDMOS回路が用いられる。従って、表示装置の駆動回路を全てnチャネル型TFTで構成することも可能である。

【0132】なお、本実施例は実施例1乃至5のいずれかと自由に組み合わせることができる。

【0133】〔実施例7〕本実施例は、上記実施例1または実施例3で得られるTFTを用いてEL（エレクトロルミネセンス）表示装置を作製した例について図15を用い、以下に説明する。なお、本実施例は、画素部及び駆動回路に使用するTFTを全てNチャネル型TFT

で構成したEL表示装置の例である。

【0134】同一の絶縁体上に画素部とそれを駆動する駆動回路を有した発光装置の例（但し封止前の状態）を図15に示す。なお、駆動回路には基本単位となるCMOS回路を示し、画素部には一つの画素を示す。

【0135】図15において、1501はプラスチック基板であり、まず、実施の形態に従い、プラスチック基板1501上に下地絶縁膜を形成する。

【0136】下地絶縁膜上にはNチャネル型TFT1504、Nチャネル型TFT1505からなる駆動回路、Nチャネル型TFTからなるスイッチングTFT1506およびNチャネル型TFTからなる電流制御TFT1507が形成されている。なお、Nチャネル型TFTの説明は実施例1を参照すれば良いので省略する。また、本実施例では、TFTはすべてトップゲート型TFTで形成されている。

【0137】また、スイッチングTFTはソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、特に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0138】また、電流制御TFTのドレイン領域の上には第2層間絶縁膜が設けられる前に、第1層間絶縁膜にコンタクトホールが設けられている。これは第2層間絶縁膜にコンタクトホールを形成する際に、エッチング工程を簡単にするためである。第2層間絶縁膜にはドレイン領域に到達するようにコンタクトホールが形成され、ドレイン領域に接続された画素電極が設けられている。画素電極はEL素子の陰極として機能する電極であり、周期表の1族もしくは2族に属する元素を含む導電膜を用いて形成されている。本実施例では、リチウムとアルミニウムとの化合物からなる導電膜を用いる。

【0139】また、画素電極の端部を覆うように設けられた絶縁膜を本明細書中ではバンクと呼ぶ。バンクは珪素を含む絶縁膜もしくは樹脂膜で形成すれば良い。樹脂膜を用いる場合、樹脂膜の比抵抗が $1 \times 10^6 \sim 1 \times 10^{12} \Omega \text{m}$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \text{m}$ ）となるようにカーボン粒子もしくは金属粒子を添加すると、成膜時の絶縁破壊を抑えることができる。

【0140】また、EL素子1505は画素電極（陰極）、EL層および陽極からなる。陽極は、仕事関数の大きい導電膜、代表的には酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いれば良い。

【0141】なお、本明細書中では発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。

【0142】なお、ここでは図示しないが陽極を形成し



た後、EL素子1505を完全に覆うようにしてパッシベーション膜を設けることは有効である。パッシベーション膜としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0143】以降の工程は、公知の技術に従って、発光装置を完成すればよい。

【0144】また、Nチャネル型TFTのみでゲート側駆動回路およびソース側駆動回路を形成することにより画素部および駆動回路をすべてNチャネル型TFTで形成することが可能となる。従って、アクティブマトリクス型の電気光学装置を作製する上でTFT工程の歩留まりおよびスループットを大幅に向上させることができ、製造コストを低減することが可能となる。

【0145】なお、ソース側駆動回路もしくはゲート側駆動回路のいずれか片方を外付けのICチップとする場合にも本実施例は実施できる。

【0146】また、本実施例では、E型NTFTのみを用いて駆動回路を構成したがE型NTFTおよびD型NTFTを組み合わせて形成してもよい。

【0147】また、本実施例は、上方に発光する例を示したが、EL素子の構成を適宜変更して下方に発光する構造としてもよい。

【0148】なお、本実施例は、実施例1、実施例2または実施例6と自由に組み合わせることが可能である。また、本実施例ではトップゲート型TFTを用いたが特に限定されず、実施例3に示したような逆スタガ型TFTを用いることもできる。

【0149】〔実施例8〕本発明を実施して形成された駆動回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0150】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図16及び図17に示す。

【0151】図16（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の駆動回路に適用することができる。

【0152】図16（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の駆動回

路に適用することができる。

【0153】図16（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の駆動回路に適用できる。

【0154】図16（D）はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の駆動回路に適用することができる。

【0155】図16（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の駆動回路に適用することができる。

【0156】図16（F）はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本発明を表示部2502やその他の駆動回路に適用することができる。

【0157】図17（A）は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904やその他の駆動回路に適用することができる。

【0158】図17（B）は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の駆動回路に適用することができる。

【0159】図17（C）はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0160】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0161】

【発明の効果】本発明によれば、低温（300℃、好ましくは250℃以下）での熱処理（数分間）によりソース領域及びドレイン領域の低抵抗化が可能となるので、耐熱性の低いプラスチック基板を素子形成基板として用

いる場合であっても十分にシート抵抗値が低いソース領域及びドレイン領域を備えたTFTを作製することができる。従って、フレキシブルなプラスチックフィルムの上にTFT素子を形成することも可能である。

【0162】また、本発明によって、非常に少ない工程数、且つ低温・短時間で電気光学装置を作製することができる。そのため、歩留まり及びスループットが向上し、製造コストを低減することが可能である。

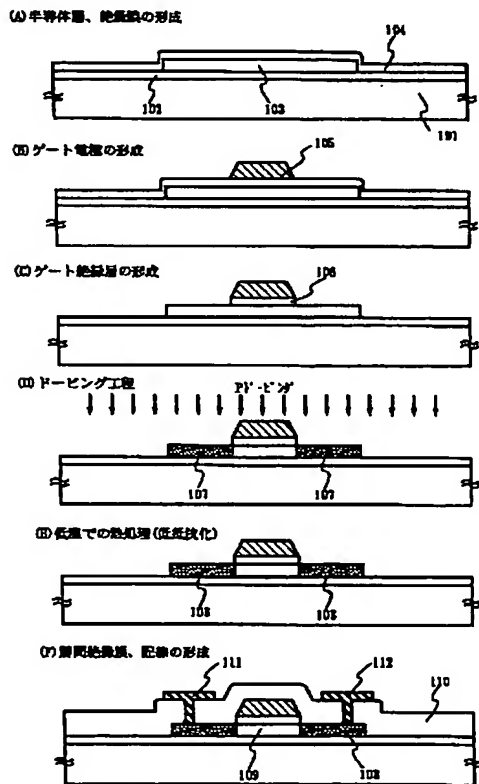
【0163】また、安価な電気光学装置を作製できるようになったことで、それを表示部に用いる様々な電気器具を安価な価格で提供することができる。

#### 【図面の簡単な説明】

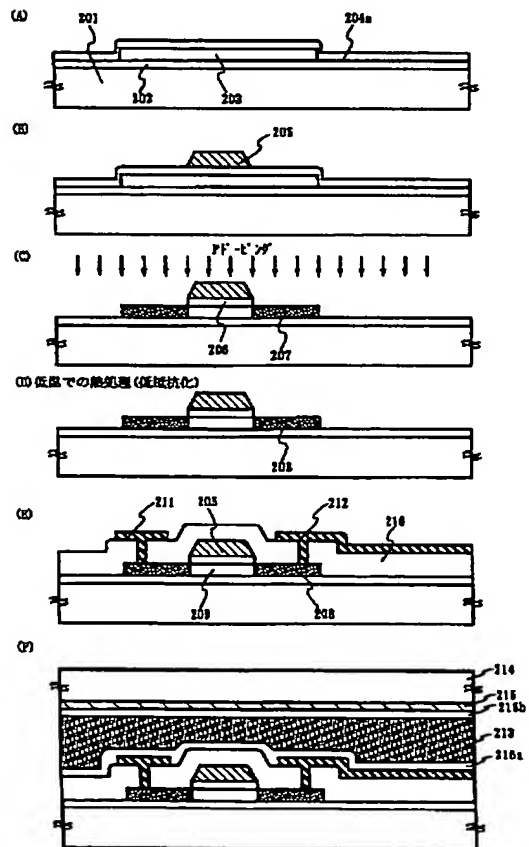
- 【図1】 TFTの作製工程を示す図。
- 【図2】 AM-LCDの作製工程を示す図。(実施例1)
- 【図3】 TFTの作製工程を示す図。(実施例2)
- 【図4】 TFTの作製工程を示す図。(実施例3)

- 【図5】 AM-LCDの外観を示す図。
- 【図6】 AM-LCDの回路ブロック図を示す図。
- 【図7】 膜厚50nmの実験結果を示すグラフ。
- 【図8】 膜厚70nmの実験結果を示すグラフ。
- 【図9】 膜厚100nmの実験結果を示すグラフ。
- 【図10】 ラマン散乱スペクトルを示す図。
- 【図11】 画素部の上面図を示す図。
- 【図12】 画素部の断面図を示す図。
- 【図13】 NMOS回路の構成を示す図。
- 【図14】 シフトレジスタの構成を示す図。
- 【図15】 アクティブマトリクス型EL表示装置の構成を示す図。
- 【図16】 電子機器の一例を示す図。
- 【図17】 電子機器の一例を示す図。
- 【図18】 TFTの電気特性(V-I特性)を示す図。

【図1】



【図2】





【図3】

(A) 半導体層、絶縁層の形成



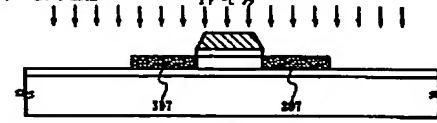
(B) ゲート電極の形成



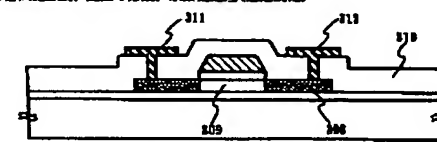
(C) ゲート絶縁層の形成



(D) ドーピング工程

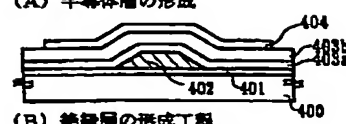


(E) 層間絶縁膜、配線の形成、水素化処理 (低抵抗化)



【図4】

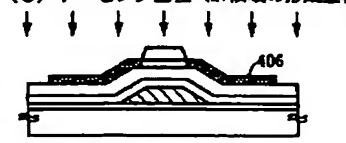
(A) 半導体層の形成



(B) 絶縁層の形成工程



(C) ドーピング工程 (n+領域の形成工程)



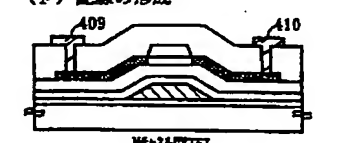
(D) 低抵抗での熱処理 (低抵抗化)



(E) 層間絶縁膜の形成

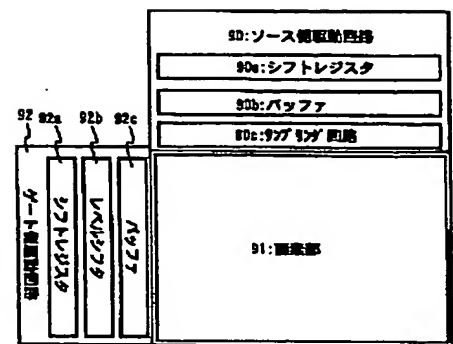


(F) 配線の形成

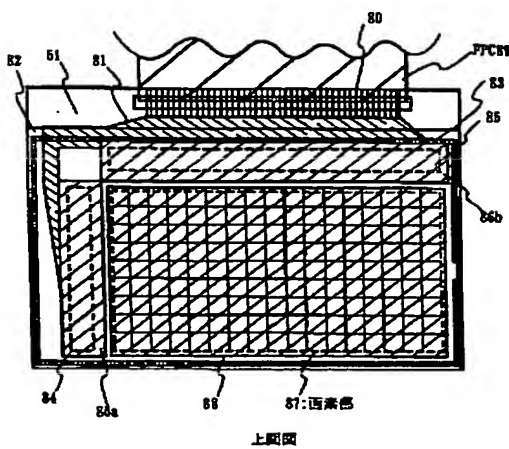


Mg+34型TFT

【図6】

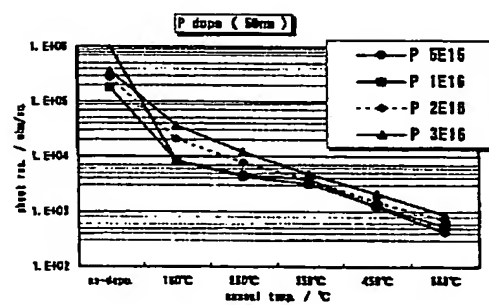


【図5】



上図同

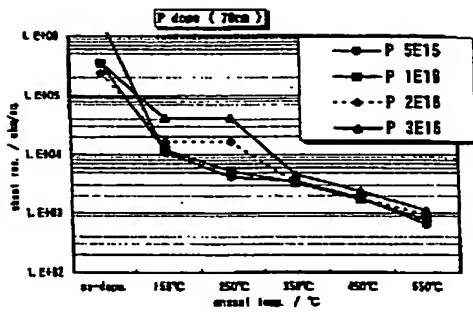
【図7】



Si 50nm, P 5%, 50A, 10kV

	P 5E16	P 1E16	P 2E16	P 3E16
as-depos.	1.03E+06	1.78E+05	2.74E+05	3.64E+05
150°C	8.33E+03	8.37E+03	2.07E+04	1.70E+04
250°C	4.60E+03	4.30E+03	7.68E+03	1.20E+04
350°C	2.83E+03	2.16E+03	2.75E+03	4.77E+03
450°C	1.21E+03	1.27E+03	1.48E+03	2.11E+03
550°C	4.24E+02	6.36E+02	6.89E+02	8.71E+02

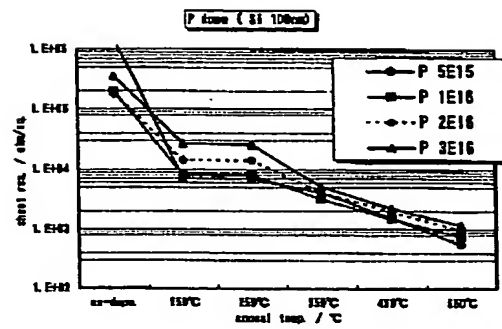
【図8】



Si 70nm, P 5%, 5uA, 10kV

	P 5E15	P 1E16	P 2E16	P 3E16
as-depo.	2.00E+08	3.48E+05	2.36E+05	3.56E+05
150°C	1.09E+04	1.20E+04	1.65E+04	4.19E+04
250°C	4.17E+03	6.31E+03	1.67E+04	4.21E+04
350°C	3.50E+03	3.30E+03	3.25E+03	4.61E+03
450°C	1.85E+03	1.75E+03	1.72E+03	2.39E+03
550°C	6.57E+02	7.87E+02	8.81E+02	1.14E+03

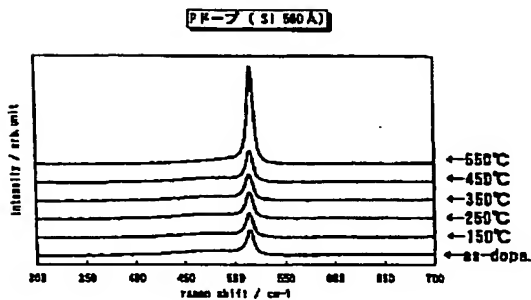
【図9】



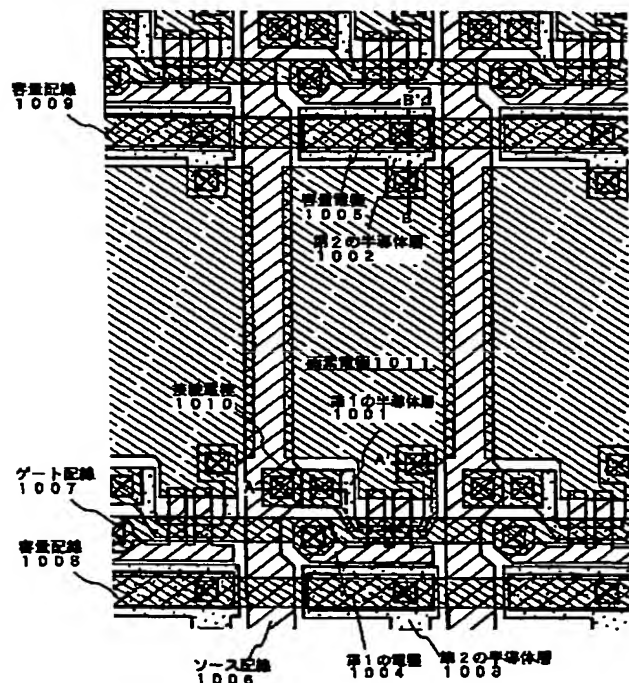
Si 100nm, P 5%, 5uA, 10kV

	P 5E15	P 1E16	P 2E16	P 3E16
as-depo.	1.64E+08	1.99E+05	1.80E+05	3.58E+05
150°C	7.14E+03	8.16E+03	1.43E+04	2.71E+04
250°C	6.89E+03	8.14E+03	1.42E+04	2.64E+04
350°C	4.11E+03	3.17E+03	4.12E+03	5.15E+03
450°C	1.55E+03	1.48E+03	1.97E+03	2.23E+03
550°C	5.62E+02	7.55E+02	3.57E+02	1.18E+03

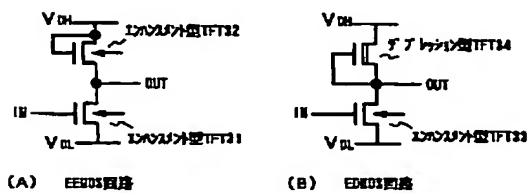
【図10】



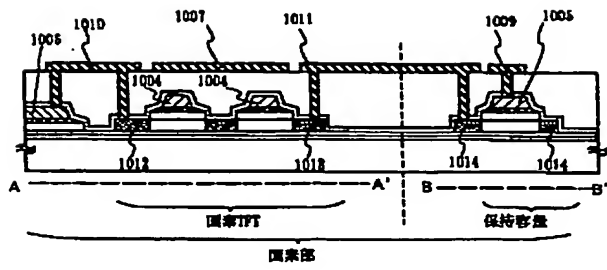
【図11】



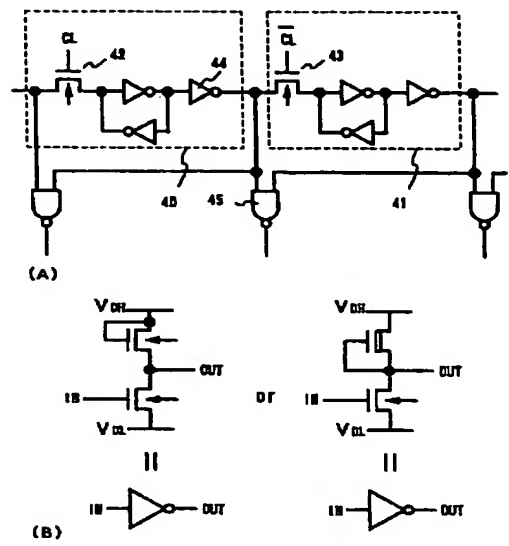
【図13】



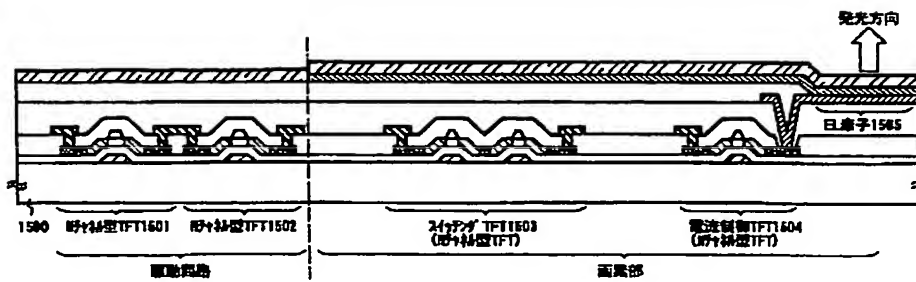
【图12】



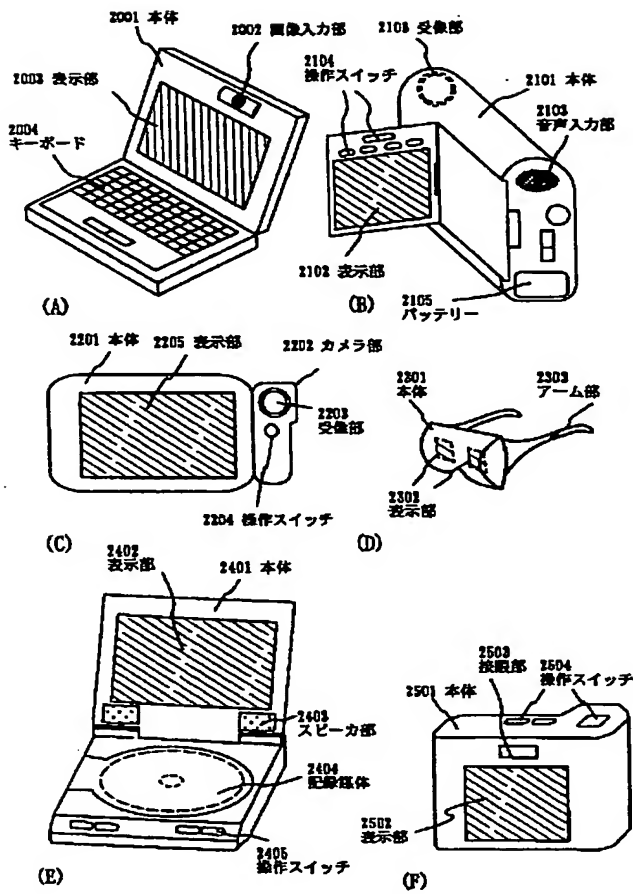
【图14】



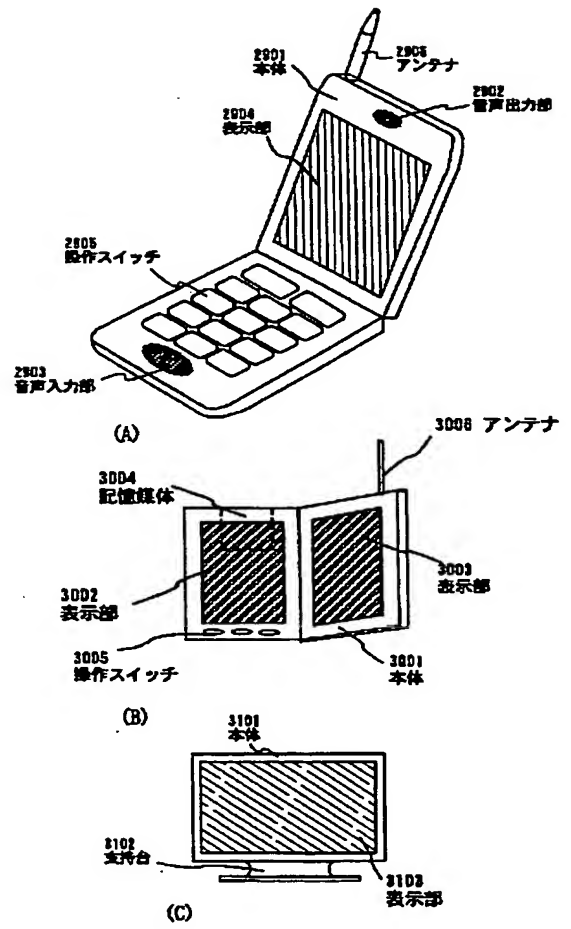
【图15】



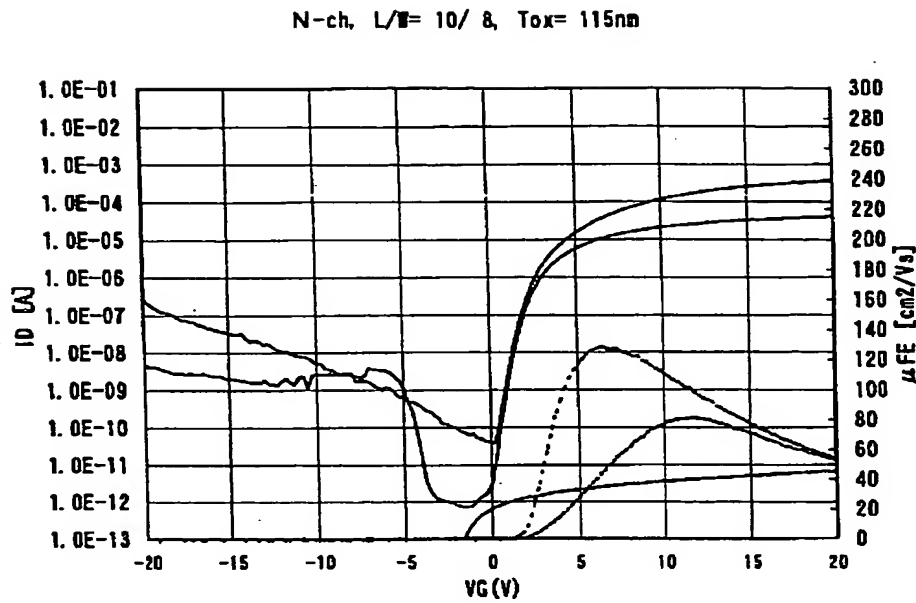
【図16】



【図17】



【図18】



Comment	SemiAuto
測定パラメータ	
VD start	1
VD step	13
VD step number	2
計算パラメータ	
チャネルタイプ	N
Lの値[um]	10.0
Wの値[um]	8.0
比誘電率	4.1
酸化膜の厚さ[um]	115
計算結果	
Ion_2 [A]	1.15E-04
Ioff_2 [A]	4.79E-10
Shift_1[V]	-0.087
Vth [V]	2.330
S-value [V/dec]	0.357
μFE(max) [cm2/Vs]	128.8

フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 21/20  
21/265  
27/08  
29/786

識別記号

331

FI

H01L 27/08  
29/78  
21/265  
29/78

キーワード(参考)

331E 5F110  
616L  
626C  
F  
616V

Fターム(参考) 2H090 HA08 HB08X HC01 HC11  
HC15 JB02 JB03 LA04 LA15  
LA20 MB01  
2H092 GA40 GA50 JA25 JA26 JA34  
JA37 JA41 JB51 JB57 KA05  
KA10 KB24 MA04 MA05 MA07  
MA27 MA29 MA30 NA25 NA28  
PA08 PA09  
5C094 AA42 AA43 BA03 BA29 BA43  
CA19 DA14 DA15 DB01 DB04  
EA04 EA07 EB05  
5F048 AC04 BA16 BB05 BC15 BC16  
BF11 BF16  
5F052 AA01 AA11 BA06 BA07 BB02  
BB03 BB04 BB07 DA02 DB01  
DB02 DB03 DB04 FA06 HA06  
JA01  
5F110 AA17 BB02 BB03 BB04 CC02  
CC08 DD01 DD12 DD13 DD14  
DD15 DD17 EE02 EE03 EE04  
EE05 EE06 EE09 EE14 EE28  
EE43 EE44 EE45 FF01 FF02  
FF03 FF04 FF09 FF27 FF28  
FF29 FF30 FF32 GG02 GG13  
GG32 GG42 GG43 GG44 GG45  
GG47 GG48 HJ01 HJ02 HJ12  
HJ13 HJ18 HJ22 HL02 HL03  
HL06 HL07 HM07 HM13 HM15  
NN02 NN03 NN12 NN13 NN14  
NN22 NN23 NN24 NN27 NN72  
NN73 NN78 PP03 PP05 PP06  
PP35 QQ08 QQ09 QQ11 QQ12  
QQ24 QQ25